

2021年5月にIBMが発表した
世界初の技術ノード2nmチップ
のウェハ。指の爪ほどの大
きさのチップに500億個のトラ
ンジスタを搭載するという⁽¹⁾。

金属学が支える 半導体デバイス

私たちの社会生活がより便利で快適になるために、半導体技術の進化は不可欠である。

半導体デバイスの飛躍的な性能向上の陰には、優れた材料技術の進化がある。

高く評価される 日本の半導体材料

日本の半導体産業は1980年代に世界市場でトップを走ってきたが、その後、次第に海外メーカーにシェアを奪われ、世界における日本のシェアは減り続けている。これに対し日本政府は、2021年に半導体・デジタル産業戦略⁽²⁾を発表し、半導体産業の復活に向けた取り組みを加速している。2024年には世界最大手の半導体ファウンドリである台湾積体回路製造(Taiwan Semiconductor Manufacturing Company, TSMC)の熊本工場開所や、国産半導体の製造を目指した国内大手企業の共同出資によるRapidus(株)の設立も、官民が協力する半導体産業の一大事業として大きな注目を集めている。

世界的なシェアでは大きく水をあけられている日本の半導体産業だが、半導体デバイスに使われる材料に関しては、今も世界的に高い評価を得ている。今回は、半導体デバイスの微細化の進展に伴い新たな材料の開発が続けられてきた配線材料に注目する。

性能向上と微細化の歴史

半導体デバイスの進化は、微細化による高集積化と高速化の歴史である。半導体デバイスが微細化することによって、同じ面積に搭載できるトランジスタの数が多くなる。またトランジスタにおいて信号の伝わる距離

が短くなり、より高速に動作できるようになる。その結果、デバイスの処理能力が向上し、より複雑な計算とデータ処理が可能になる。

半導体デバイスの微細化には、「ムーアの法則」がよく知られている(図1)。これは、1965年にインテルの共同創業者の一人であるゴードン・ムーアが唱えた経験則で、「半導体の性能(集積度)は18~24か月で2倍になる」というものであり、実際、現在までほぼこの法則の通りに微細化が進んできた。

このような半導体デバイスの進化には、社会を根本から変革する大きな影響力がある。1991年にCERN(欧州原子核研究機構)において世界初のウェブサイトが誕生した当時、1000ドルで1秒間の計算回数は 10^4 程度であったが、1995年にWindows95が登場しInternet Explorerが普及し始めた頃には 10^6 程度にまで達した。その後、スマートフォンの普及、AIの開発などが進み、2022年には生成AIが登場し、計算能力は 10^{15} 程度で人間の脳と同レベルに達している。近い将来、人間の脳の能力を超えることが予想される。

多層配線構造と ノードの微細化

一般的なトランジスタであるMOS型電界効果トランジスタ(MOSFET)*1の構造を図2に示す。トランジスタでは、ゲートに電圧を加えないとソースとドレインの間に電流は流れない。ゲートに電圧を加えるとゲート

酸化膜の直下のチャンネルと呼ばれる領域に電子(または正孔)が集まり、ソースとドレイン間に電流が流れる。チャンネルをより短く太くすることにより動作の高速化を図ることができる。しかし、この構造には問題があった。過度の微細化により、本来は電流が流れないはずの絶縁箇所にもリーク電流が発生してしまうのである。この課題はトランジスタの構造を変えることで克服した。

トランジスタ構造の変遷を図3に示す。従来のトランジスタは平面構造をしている。2011年に開発されたのがフィン構造(Fin FET)と呼ばれる構造である。この時点で、微細化の世代を表す技術ノード*2は22 nmに達していた。このフィン構造は、ソースとドレインの間に流れる電流を制御するゲートが、チャンネルを周囲3方向から取り囲む立体構造をしている。これにより、リーク電流が抑制され、平面構造の限界であった低消費電力化と性能向上の両立を図っている。この構造により、10年くらいの期間は微細化が継続可能となった。

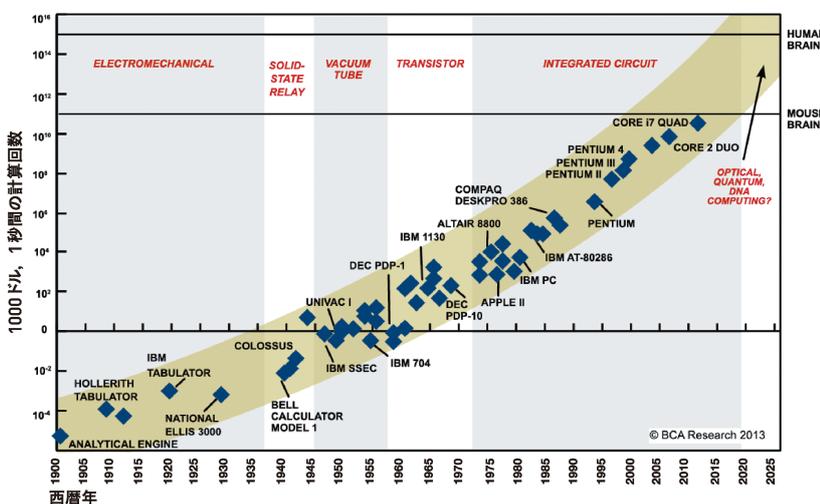
さらに新しい構造として考案されたのが、ナノシート構造である。この構造では、チャンネルを4方向からゲートで取り囲んだ構造になっている。全方位をゲートで取り囲むため、Gate All Around(GAA)構造ともいう。Fin FETよりもさらにリーク電流の抑制が可能となる。2022年に設立されたRapidus(株)が、次世代半導体として2027年に量産化を目指しているのが、このGAA FETである。

主役はアルミニウムから銅へ

このようにトランジスタが進化する環境において配線の微細化はどのように進んでいくのだろうか。配線材料は、ウェハ上に形成されたトランジスタ同士およびトランジスタと外部回路との接続をするために形成され、

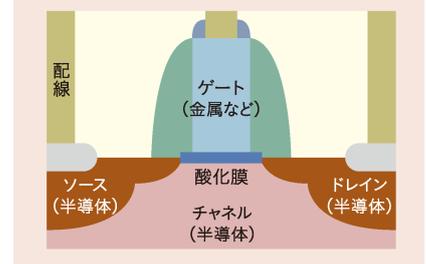
*1 MOS:金属[Metal]-酸化膜[Oxide]-半導体[Semiconductor]の3層構造。
*2 技術ノード:トランジスタのゲート長あるいはM1配線という最も細い配線部分のハーフピッチの値であり、製造技術の世代を示す。ムーアの法則に従って世代毎に $1/\sqrt{2}$ を乗じる。45→32→22→15→10 nmのように推移する。22 nmノードでFin FETになってからは従来の定義が適用しない。

図1 ムーアの法則⁽³⁾



出典:R. Kurzweil: The Singularity Is Near, When Humans Transcend Biology, Viking Press, (2008).
*2000-2012の数値はBCAの推定値

図2 MOSFETの仕組み



*FET:Field Effect Transistor, 電界効果トランジスタ。

十数層も重なった多層構造になっている(図4)。トランジスタは構造を変えて進化していくが、配線の構造は顕著には変わらず、配線材料を変えていくしかない。

微細化によって現れる配線の課題は、配線断面積が減少して電気抵抗が上昇すること、および電流密度が増加してエレクトロマイグレーション不良が発生することである。エレクトロマイグレーションとは、導電材料の中で電子の流れに押されて金属原子が移動し、配線の短絡や断線が発生する現象であり、エレクトロマイグレーションに対する耐久性が、半導体デバイスの長期信頼性を決める。

1990年代まで使用されてきた配線材料はAlである。Alは、AgとCuに次ぐ低い抵抗率を示し、薄膜の形成にスパッタ法、配線パターン加工にプラズマによるドライエッチングを使うことができ、量産性が高い。しかし1990年代に線幅がサブミクロンになると、配線抵抗の急激な上昇によって配線

遅延が顕著になった。さらに、微細化による電流密度の増加がエレクトロマイグレーション耐性の低下をもたらすという問題も現れ、Al配線の限界が危惧されるようになった。

Alの次に登場したのがCuである。CuはAlに比べ抵抗率が低いため電気信号の伝達速度が速い。またエレクトロマイグレーション耐性に優れ、長期信頼性が高い。ただしCuでは、スパッタ法とドライエッチング法によるパターン加工が難しい、などの課題があった。

そこで開発されたのが、ダマシン法⁽⁵⁾による多層配線の形成技術である。層間絶縁膜に配線用の溝(トレンチ)と穴(ビア)を掘ってCuメッキを施し、化学的機械研磨(Chemical Mechanical Polishing, CMP)により平坦な層を形成する。この技術により、Cuの多層配線の量産化が可能となった。1990年代後半から2000年代初頭にかけて、Cuが導入され始めた頃は、ビアの断面積サイズは数百nmオーダーであった。その後、微細化の進展に伴いビアのサイズは縮小し、最近では、10nm以下のオーダーに達している。この限られたスペースの中で、Cuの抵抗上昇を抑制するには、どうしたらよのだろうか。材料の電気抵抗が高くなるのは、結晶粒界や表面で電子が散乱されるためである。このことから解決策の1つとして、Cuの結晶粒径を大きくする方法が挙げられる。熱処理により粒径を

大きくし、電子が粒界に衝突する頻度を減らすことにより、抵抗上昇を抑制する方法が考えられる。

これとは別の解決策として、ライナー層およびバリア層を薄くすることが考えられる。Cuは絶縁層中に容易に拡散するため、TaNを形成して拡散バリア層とする。これだけではCuとの化学的な相性が悪くCuが配線溝に入っていないため、バリア層の上にTaやCoを形成してライナー層とする。これらの2層の役割を維持しつつ極力薄くすることで配線の実効断面積を確保し、抵抗の上昇を抑えることができる。このための方法として、自己形成バリア層(Self-Forming Barrier, SFB)が提案されている⁽⁶⁾。自己形成バリア層とは、Cu配線中に合金元素を添加し、適切な熱処理を行って合金元素を界面に拡散させ、絶縁層と反応させることでできるライナー層およびバリア層の機能を有する界面層のことである(図5)。多数の合金元素が試されたが、Mnが最適であることが明らかになった。この自己形成バリア層の研究成果は、2006年に多層配線技術国際会議(IITC)で発表され、2012年にはIBMが実用化し、SamsungがAppleの製品で量産開始し、これ以降の微細配線の世界標準材料として利用され

図3 トランジスタ構造の変遷

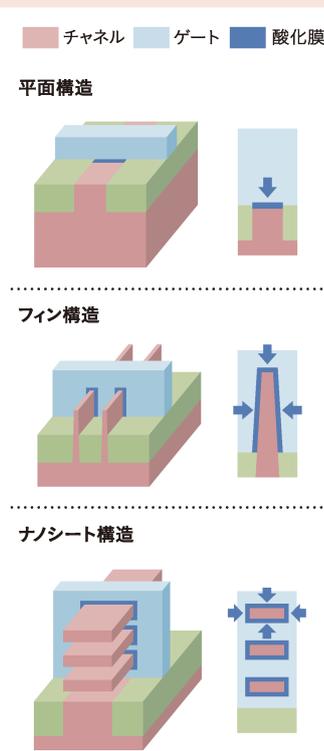


図4 多層配線構造⁽⁴⁾

Intelが開発した第3世代のFin FETの断面SEM写真。Mはメタル配線でありM10~M2層まではCuをM1, M0層はCoを使用。M7層, M2層はそれぞれピッチが112, 44 nm。

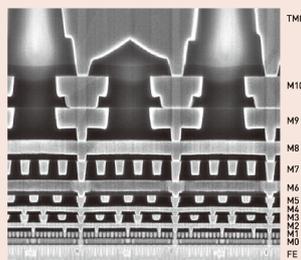
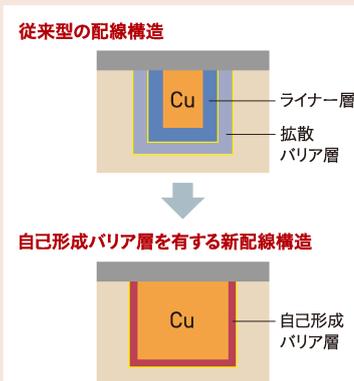


図5 Cu配線における新規バリア層の開発⁽⁶⁾

従来の拡散バリア層(TaN)とライナー層(Ta)に代わる自己形成バリア層を設け、Cu配線の断面積を確保した。



ナノレベルの信頼性を実現する次世代配線材料

INTERVIEW

研究領域を超えたところに新たなチャンスがある

新規配線材料の研究を通じて、それまでの自分の経験や知識に固執せずにいろいろな研究者の力を借りたほうが良いと思うようになった。半導体デバイスの製造には1000工程以上が関わっており、各工程で使う材料、装置、プロセス条件の中で最適なものを決めないといけない。そのために広範な学問領域に属する開発者が集まり、彼らの得意とする技術が駆使される。

大学の研究室で新しい材料開発をするのも、その複雑さ、困難さは半導体デバイスの製造に引けをとらない。例えば、Ruなどの金属基板の上にCu薄膜を形成し、真空中で加熱したときのCu薄膜の安定な形状を知りたい場合があると（実際にデバイスメーカーとの共同研究テーマであった）、この課題を解決するために、インド、アメリカ、日本の理論屋と実験

屋が集まった。各自の専門を駆使することで高いレベルの有用な成果を発信することができた。

最近の国際会議で参加者の一人から「この会議で状態図を使って発表しているのはお前だけだな」と冗談交じりに言われたことがある。これは金属屋である私への誉め言葉であり、彼らにはできないことを私がやっていることを高く評価しているのだと感じた。金属学という自分の得意分野で最大限の実力を発揮すれば、それに見合う研究者が集まってきて助けてくれるだろう。

それまでの自分の研究領域にこだわらず、必要とあれば協力してくれる仲間を見つけ、どんなことでも果敢にチャレンジしていけば、新しい材料や方法を見出だせると確信している。



小池淳一さん

東北大学 名誉教授
未来科学技術共同研究センター
特任教授

小池さんは、2024年秋の褒章において紫綬褒章を受章されました。

ることとなった。

次世代の配線材料の探索

2025年以降に到来する「Beyond 2 nm世代」の配線幅は5~10 nm以下になり、配線抵抗とエレクトロマイグレーション耐性に対して非常に厳しい要求があると予想される。この要求に応えるため、Cuに代わる新たな材料の探索が現在進められている。

1つの方法は、平均自由行程が短い金属の探索である。Cuの平均自由行程は40 nmであり、配線内の結晶粒径や配線幅が40 nm以下だと、電子の衝突頻度が増えるため抵抗が大きくなる。新しい配線材料には、抵抗が小さくかつ平均自由行程が40 nmより短いものが適している。Ru、Coなどがこの条件を満足する有望な材料と言われているが、これらを含め、低抵抗、ライナー層不要、バリア層不要の条件を満足する純金属は、現在のところ発見されていない。

これとは別に注目されるのが、金属間化合物の適用である。多くの金属間化合物の

うち、エレクトロマイグレーション耐性に優れた材料は拡散が起こりにくい材料であり、高温強度に優れる材料の可能性が高い。金属間化合物の中でも、例えばNiAlやCuAl₂では、Alが絶縁層の酸素と強く結合するためSiO₂との密着性が高まり、ライナー層が不要となる。また、絶縁層SiO₂との界面にできたAl₂O₃は高密度な非晶質であり、そこでは原子の拡散が遅くなるため、バリア層が不要となる。このような条件を満足する金属間化合物のうち、CuAl₂の配線では配線幅7 nm以下のときに、抵抗がCuより低く、エレクトロマイグレーションはCuより100倍程度長寿命で信頼性が高いと報告されている⁽⁷⁾。また、Cu₂Mgは双晶粒界という原子配列が整った結晶粒界を多数形成するので粒界で散乱される電子が少なく、微細化による抵抗上昇の程度が非常に小さいという特長が明らかになった。

金属間化合物は候補となる材料の数が多く、実験による検証も難しいが、現在、多くの研究者が配線材料としての可能性を探っている。これ以外にも、グラフェンやカーボンナノチューブなどの炭素系材料も候補に

挙がっている。

微細化の進展に伴い、新たな配線材料の探索は今後もさらに進む。しかし、ようやく研究者が最適な材料を開発し、特性や信頼性を評価したとしても、実用化するためには材料メーカーが量産向け材料を開発し、さらに成膜装置メーカーや研磨装置メーカーが量産向けのプロセスや装置を開発し、デバイスの基本構造体を作製した後に、デバイスメーカーにプレゼンテーションして評価されなければならない。このようなコンソーシアムの体制を整えた上で、世界のフロントランナーを目指して取り組むことによって、ようやく実用化が可能になる。

熾烈な開発競争の中で、日本の研究機関や関係メーカーの実力は、世界でも高い評価を得ている。この位置取りを今後も確保していくには、最先端デバイスメーカーと連携し、次世代の半導体デバイスにおける材料課題、すなわち、共通目標を明確化することが必須である。バリューチェーンの上流にある材料と下流にあるデバイスとの目標が合致していれば、実用化に向けた大きな前進に結び付く。

文 献

- (1) Nature Electronics, 4 (2021), 317.
- (2) https://www.meti.go.jp/policy/mono_info_service/joho/conference/semicon_digital/0001/03.pdf (accessed, Oct. 10th, 2024)
- (3) <http://cassnewsletter.org/PDF/Heyns-Lausanne.pdf> (accessed, Oct.10th,2024)
- (4) C. Auth, et al., : Proceedings of the 2017 IEEE International Electron Devices Meeting (IEDM), (2017), 673-676.
- (5) <https://semi-journal.jp/basics/process/beol.html> (accessed, Oct. 10th, 2024)
- (6) 小池淳一：応用物理, 90(2021),600-609.
- (7) L. Chen, S. Kumar, M. Yahagi, D. Ando, Y. Sutou, D. Gall, R. Sundararaman, and J. Koike: J. Appl. Phys., 129 (2021),035301.