

# 超高速 LSI 用低抵抗率 Cu 配線材料の 現状と将来

—高純度めっき技術によるアプローチを中心にして—

大貫 仁\* 玉橋邦裕\*\* 一色 実\*\*\*

## 1. はじめに

LSI の高速化・高集積化は、トランジスタの微細化と配線寸法の微細化により初めて実現できる。Cu は低い電気抵抗率と優れた信頼性を有するため、超高速 LSI 用の配線材料として広く使用されている<sup>(1)-(3)</sup>。しかし、配線寸法(配線幅・厚さ)の微細化に伴い、Cu 配線の電気抵抗率が上昇し配線抵抗 R と配線容量 C の積で表される配線遅延がトランジスタ遅延に比較して無視できなくなり、微細化による LSI の性能向上を阻害するという問題がある。特に、最先端 LSI の配線幅 100 nm 以下の領域において、図 1 に示すように、線幅の減少に伴い電気抵抗率が著しく増大するという問題がある<sup>(4)</sup>。さらに、エレクトロマイグレーション(EM)<sup>(5)</sup>耐性等の信頼性も低下する。配線の構造は、コアの導体(Cu)配線部とその側壁に設ける高抵抗のバリアメタル膜からなる。抵抗増大の主要原因は、微細化に伴い、Cu 配線中の結晶粒径が Cu 平均自由行程(39 nm)と同程度に極めて微細になる<sup>(6)(7)</sup>ことおよび配線体積に対する Cu/バリアメタル界面の面積の比(側壁の割合)が増大し、電子の粒界および側壁散乱が起こりやすくなることにある<sup>(4)</sup>。

これまで、Cu 配線それ自体の抵抗率を著しく低減することは困難と考えられてきた。Cu バルクの抵抗率に及ぼす固溶不純物の影響は詳細に調べられていて、50 ppm 程度(実

際の Cu 配線ではこれ以上存在することはほとんど無い)以下の不純物が Cu 中に存在しても抵抗率は高々数%程度しか増大しない<sup>(8)</sup>ことが分かっているためと考えられる。

前述したように、配線の構造は、コアの導体(Cu)配線部とその側壁に設ける高抵抗のバリアメタル膜からなるため、配線の低抵抗率化を図る手段としてバリアメタルの極薄化が検討された。Cu-Mn あるいは Cu-Ti 合金膜を用いた自己形成バリアを有する Cu 配線がこの例<sup>(9)(10)</sup>であり、熱処理の最適化により Mn あるいは Ti の酸化物が SiO<sub>2</sub> 基板と Cu との界面に生成して極薄バリアとなる。また、EM 耐性を向上させる手段として抵抗率は多少犠牲にしても Cu-Al 合金シード層を用いて Cu 配線の結晶粒界に Al を析出させる方法<sup>(11)(12)</sup>が検討されている。以上のように Cu 配線の低抵抗率化に関する研究は主としてバリアメタルの極薄化に着目して行われ、Cu それ自体の抵抗率を低減する試みはほとんど行われていない。

抵抗率と信頼性に関し、国際半導体技術ロードマップ(ITRS)仕様を同時に満足する解は得られておらず、極めて挑戦的な課題として本質的な解決策が望まれている。

著者らは、Cu 中に存在する酸素、窒素、硫黄等の不純物が結晶粒界に偏析し、熱処理時の粒径の均一・大粒径化を妨げるという前提に立ち、配線抵抗率に及ぼすめっき材料の純度の影響を検討してめっき材料の高純度化が、Cu 配線の均一・大粒径化を促進し、低抵抗率を実現できるという結果を

\* 茨城大学教授；工学部マテリアル工学科(〒316-8511 日立市中成沢町 4-12-1)

\*\* 茨城大学非常勤研究員；工学部マテリアル工学科

\*\*\* 東北大学教授；多元物質科学研究所

Current Status and Future Prospect of Cu Interconnects for Very High Speed LSIs; Jin Onuki\*, Kunihiko Tamahashi\*\* and Minoru Isshiki\*\*\* (\*,\*\*Department of Materials Science and Engineering, Ibaraki University, Hitachi. \*\*\*Institute of Multidisciplinary Research for Advanced Materials, Tohoku University, Sendai)

Keywords: Cu interconnects, resistivity, grain size, interconnect delay, electromigration resistance, barrier metals, purity of plating materials, additives, additive free plating, grain boundary energy, high speed annealing, CMP; chemical mechanical polishing, EBSD; electron backscatter diffraction, longitudinal direction of interconnects

2011年6月10日受理

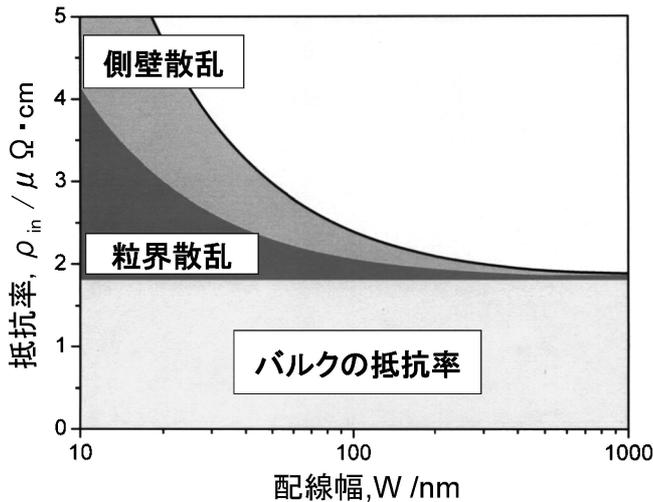


図1 Cu配線抵抗率増大に影響する因子. ITRS (International Technology Roadmap for Semiconductors) 2007より引用

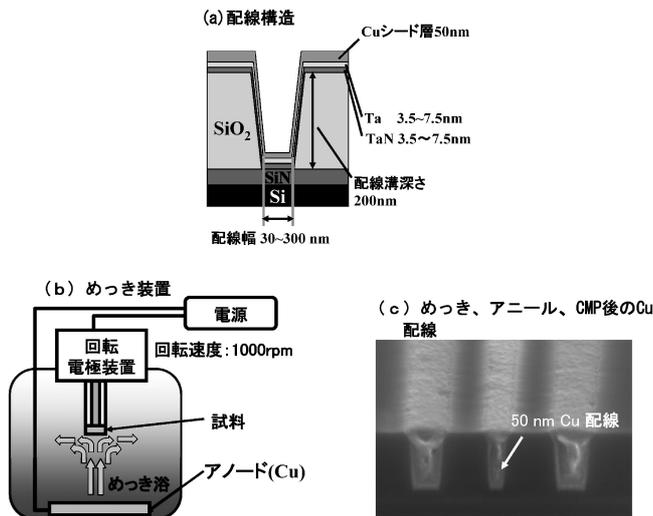


図2 配線 TEG の構造, めっき装置, めっき後の概観, および Cu 配線.

得た. 本報告ではこれらの最近の成果を中心に材料開発動向を解説する.

## 2. Cu 配線形成技術

研究では, 8 インチウエハに抵抗, EM 等各種性能評価が可能なパターンが 10 mm<sup>2</sup>内に多数個形成されている TEG (Test Element Group) を試作し, 10 mm<sup>2</sup>に切り出して実験に用いている. 図 2(a)に Cu 配線の抵抗率測定用 TEG の断面構造を示す<sup>(13)(14)</sup>. SiO<sub>2</sub> 中に形成された溝の中に Ta/TaN (3.5~7.5 nm/3.5~7.5 nm)バリア層(抵抗率: 100 μΩ·cm)を設け, その上部に Cu めっきを行うための Cu シード層 (50 nm)を設けたものである. これらの膜はスパッタリングにより作製した. TEG の溝幅は 30~300 nm である. 次

に, (b)に示すめっき装置を用い, 電気めっきにより(a)の配線溝中に Cu 膜を形成した. 図中の矢印はめっき液の流れる方向を示している. めっき浴は, 0.63 mol/dm<sup>3</sup>の硫酸銅水溶液に公称純度 6N の高純度硫酸を 0.105 mol/dm<sup>3</sup> と塩酸 0.37 × 10<sup>-3</sup> mol/dm<sup>3</sup> を添加して調整し, 0.2 dm<sup>3</sup> とした. また, 配線溝への Cu の埋め込み性向上のための添加剤として, 市販の Accelerator, Suppressor および Leveler を用いた. アノードは 40 mm × 40 mm である.

(c)にめっき, アニール後, CMP (Chemical Mechanical Polishing)を行い, Cu 配線を作製した後の外観写真を示す. Cu 配線の抵抗率は, 電流パッドから通電し, 電圧パッドの電圧降下を測定して求めた. 配線の断面積は Cu 配線を機械的に破断させ, SEM 観察して求めた.

また, 上記研究レベルのチップ(10 mm<sup>2</sup>)から製品化を目指し, 課題抽出のための大口径 8 インチウエハへの Cu めっきも検討した. めっき液を循環する方式のめっき装置(10 dm<sup>3</sup>用)を用いて検討した. アノードは 500 ppm のりんを含有しており, めっき膜への異物の混入・付着を抑制するために, めっき膜作製前に陽極表面にブラックフィルムを形成してある. 大きさは 8 インチである.

## 3. Cu 配線の微細構造評価技術

線幅が 100 nm 以下の微細 Cu 配線の微細構造評価は主として Cu 配線表面からの EBSD あるいは TEM 観察および配線横断面からの TEM 観察により行われていた<sup>(15)(16)</sup>. この方法では, 図 3 の配線模式図の表面および横断面に示すように, 全てバンブー構造<sup>(16)(17)</sup>(結晶粒が竹の節状になった状態)に観察されるため, Cu 配線の配線深さおよび長さ方向の微細構造を的確に評価することは難しい. しかし, 図 3 の配線模式図において, 長さ方向における縦断面微細構造を, TEM を用いて観察すれば, 電子の流れる方向における結晶粒径の分布を明らかにできる<sup>(18)(19)</sup>. 幅 50 nm Cu 配線における長さ方向の断面 TEM 観察の一例を図 4 に示す. 結晶粒径は配線下部から上部にかけて増大しており, 50 nm 配線においてもバンブー構造にはなっておらず, 微細構造と抵抗率との関係を的確に評価できることが分かる.

また, CMP により Cu 配線を深さ方向に 45 nm, 80 nm と研磨しながら EBSD により結晶粒径の大きさ, 配向性を評価することにより, Cu 配線の深さ方向の微細構造を明らかにできる. 結果の一例を図 5 に示す. 配線幅が微細化するほど, また配線溝底部に近づくほど結晶粒径は微細化することが分かる. 上記方法により, 配線の微細構造が抵抗率に与える影響を明確にできる<sup>(20)</sup>.

## 4. Cu 配線の抵抗率と微細構造に及ぼす配線形状の影響

Cu 微細配線の抵抗率に及ぼす配線幅および配線高さの影響は詳細に検討されている<sup>(16)(21)</sup>. 図 6 に示すように, 配線

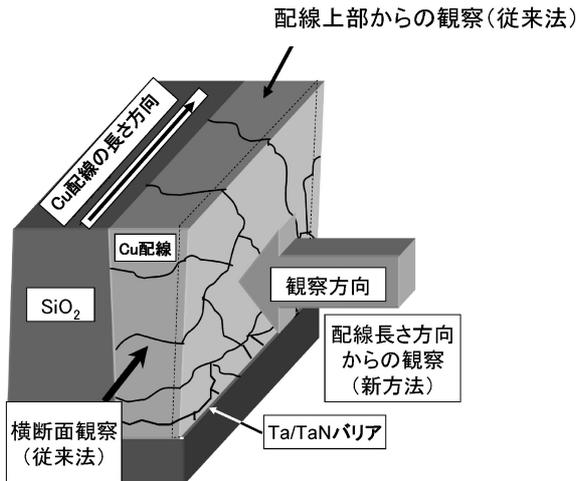


図3 Cu配線断面の模式図<sup>(39)(40)</sup>.

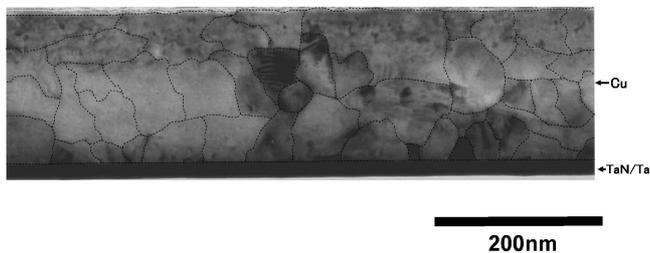


図4 配線長さ方向の断面TEM像の例.

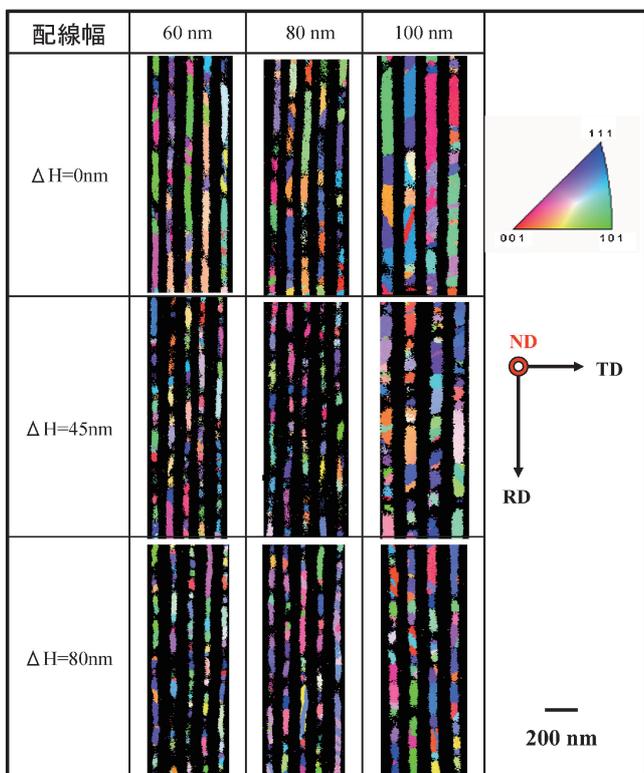


図5 EBSDによるCu配線の深さ方向の微細構造評価.

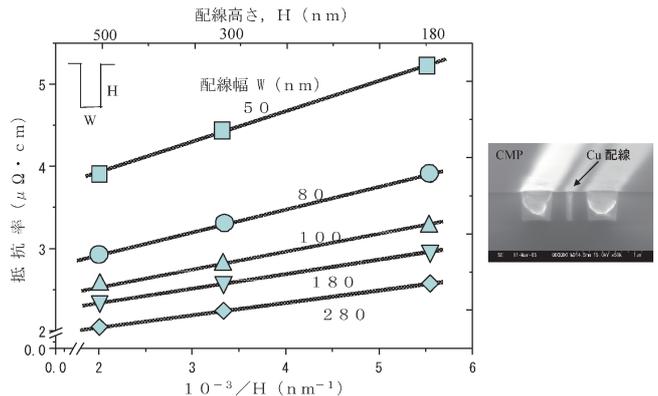


図6 Cu配線抵抗率の配線高さ依存性.

幅が減少するにつれて抵抗率は増大するが、特に配線幅の小さい配線では、大きい配線よりも抵抗率の配線高さ依存性が大きく、微細化とともに抵抗率が著しく増大する。この理由は、配線溝中のCu粒径分布は配線深さ依存性が有り、配線下部における結晶粒径は微細であるのに対し配線上部では粗大化し、配線高さの関数で結晶粒径がおおよそ決まるためであると考えられる。すなわち、同じ配線幅における結晶粒径は配線溝のアスペクト比でおおよそ決定される。抵抗率の配線幅および配線高さ依存性を表面散乱と結晶粒界散乱をパラメータとして抵抗率増大をフィッティングできるという報告がある<sup>(16)</sup>。しかし、配線高さの抵抗率低減効果が認められるのはアスペクト比が3以上のCu配線(現実のLSIにおけるCu配線のアスペクトはおおよそ3以下)に限定されるため<sup>(21)</sup>、実用的ではないという問題がある。

### 5. Cu配線における結晶粒成長の駆動力とこれを利用した結晶粒径の均一・粗大化技術

膜の内部エネルギーとマイクロ結晶構造との関連性を解明することは結晶粒粗大化のプロセスに重要な知見をもたらすため、多くの研究者が検討している。成膜直後の薄膜には過剰の弾性歪エネルギーと粒界エネルギーが発生する<sup>(22)</sup>。これらの過剰エネルギーを緩和するために結晶粒の成長が起こる。Cu膜の場合、室温放置により結晶粒径が異常成長することがしばしば見られる。

粒成長が(1)基板とCu膜との界面から膜表面に向かって進行すること<sup>(23)</sup>、(2)溝上部のエッジから粒成長が起こること<sup>(24)</sup>、さらに(3)基板から剥離したCu膜では粒成長が起こらない<sup>(25)</sup>こと等の実験結果は、弾性歪エネルギーが室温での結晶粒成長に重要な役割を果たしていることを示唆している。

一方、高温度(例えば573 K~673 K)に試料を加熱するアニーリングのように、熱エネルギーをCu膜に与えて再結晶により粒成長させる場合は、室温の場合と異なり、膜表面から基板に向かって粒成長することが指摘されている<sup>(26)</sup>。極めて薄い薄膜(500 nm以下)では粒界エネルギーのほうが弾

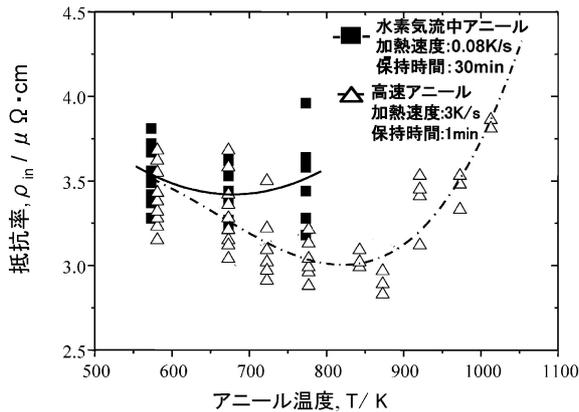


図7 配線抵抗率に及ぼすアニール温度の影響.

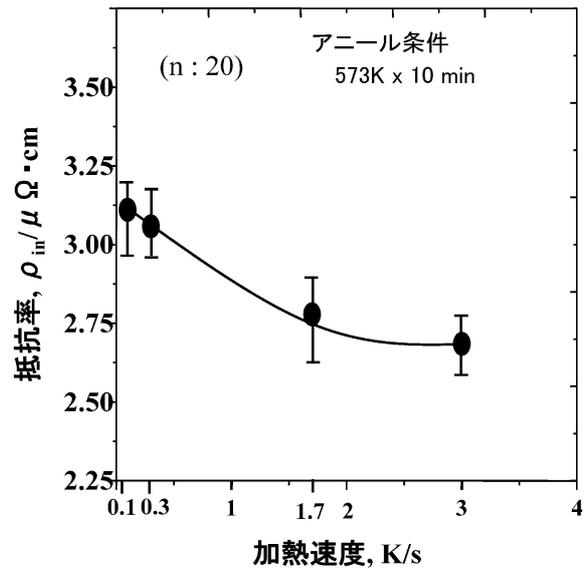


図8 配線の抵抗率に及ぼす加熱速度の影響.

性エネルギーより大きいことがわかっており<sup>(22)</sup>, 前者のエネルギーが結晶成長の駆動力に有効に働くものと推察される.

著者らの研究グループでは, 結晶粒界エネルギーを駆動力に考え, Phase-Field 法を用いて高温アニール時における結晶粒成長のシミュレーションを検討している<sup>(27)(28)</sup>.

シミュレーションの結果によれば高温アニール時における最高加熱温度までの加熱速度が大きいほど(1.7 K/s 以上), 最高加熱温度での恒温保持において結晶粒が粗大化しやすいことがわかった. 図7は, 幅 50 nm の Cu 配線の抵抗率の最高加熱温度依存性を, 高速加熱(RTA) (3 K/s, 各温度に 1 min 保持)と水素気流中加熱(0.08 K/s, 各温度に 30 min 保持)の場合について調べた結果である<sup>(29)</sup>. 573 K においては高速加熱および水素気流中加熱のいずれの場合も, 抵抗率に差はほとんど無い. しかし, 高速加熱の場合, 加熱温度の増加とともに抵抗率は低下し, 約 773 K で最も低くなる. 一方, 水素気流中加熱の場合, 673 K までは抵抗率は低下するが, それ以上の温度で再び増大する. このように高速加熱においては 1 min と保持時間が短くとも 30 min 保持の場合に比べて抵抗率の低減効果が大きい. なお, 高速加熱の場合において, アニール温度が 900 K 以上になると抵抗率が上昇するのは, Cu と Ta/TaN バリアが反応し, Cu の体積が減少するためである<sup>(29)</sup>.

図8は, 最高加熱温度を 573 K 一定とした場合の幅 100 nm Cu 配線における抵抗率の加熱速度依存性を示している<sup>(30)</sup>. 配線の抵抗率は加熱速度とともに低下するが, 1.7 K/s 以上で飽和する傾向を示す. 配線長さ方向の TEM 観察から, 加熱速度 0.1 K/s における平均結晶粒は 77 nm, 粒径の標準偏差は 1.57 であるが, 加熱速度 1.7 K/s では, それぞれ 84 nm, 1.49 と結晶粒は粗大化し, かつばらつきも少なくなることが分かった. 以上の結果から, 高速加熱による結晶粒粗大化のメカニズムのモデルを示したものが図9<sup>(28)(29)(40)</sup>である. すなわち, (a)高速加熱の場合, 結晶粒の粗大化は加熱中には起こりにくい. 従って, 大きな結晶粒界エネルギーは保存されたまま最高加熱温度に達する. この大きな結晶粒界エネルギーを駆動力にして恒温加熱時に結晶粒は急激に増大する. 結晶粒径は最高加熱温度と保持時間に依存し, 加

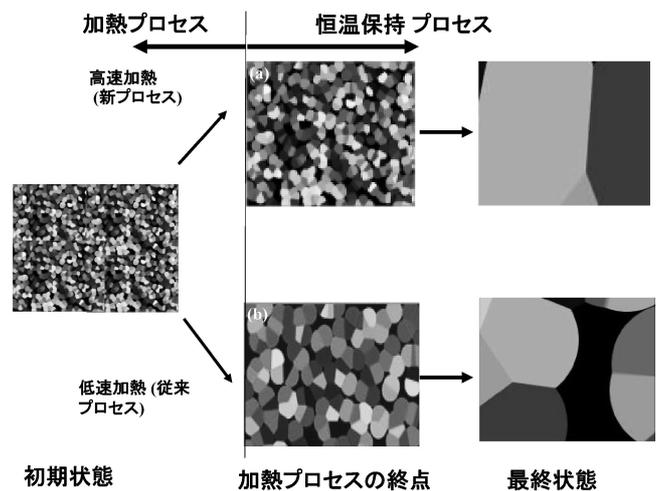


図9 高速および低速加熱による結晶粒成長モデル.

熱温度が高いほどまた保持時間が長いほど大きくなる.

一方, (b)現状の水素気流中アニールにおいては, 加熱速度が小さいため, 加熱中に結晶粒の成長が始まり, 最高加熱温度に達したときには結晶粒界エネルギーはほぼ消失しているため, 恒温加熱時には結晶粒径の粗大化は起こらない.

## 6. 超微細 Cu 配線の高純度化による低抵抗化技術

微細 Cu 配線において, 不純物が Cu 中に固溶しても抵抗率の増加には余り寄与しないが, もし酸素, 硫黄, 窒素等の微量不純物が単体あるいは複合化して結晶粒界に偏析すれば, その度合いに応じて熱処理時における結晶粒成長は大きく変化するため, 大きな結晶粒と小さな結晶粒が生成し, 特に小さい結晶粒界における電子の散乱が顕在化して抵抗率を増大させると考えられる. したがって, Cu 配線中の結晶粒

径の均一・大粒径化が可能になれば低抵抗率 Cu 配線が実現できると考えられる。

この課題を克服するための研究のポイントとして、不純物の少ない Cu 配線を形成する目的で、めっき材料(アノード, 硫酸銅)の超高純度化および添加剤(埋め込み性向上の目的でめっき液に一般的加える塩素, 硫黄, 窒素, 高分子)フリーめっき技術を検討した。

以下, 順に検討結果を紹介する。

### (1) 超微細 Cu 配線の抵抗率および微細構造に及ぼすめっき材料純度の影響

めっき材料の組成・添加剤等により Cu めっき膜および配線の微細構造が変化するという報告がある<sup>(26)(31)-(33)</sup>。

めっき浴の Cu の濃度, 硫酸の濃度および添加剤等により Cu 膜の結晶粒径, 抵抗率が変化する<sup>(31)</sup>。また, 組成の異なるめっき浴中において作製した Cu 配線の結晶粒径は組成により変化するが<sup>(26)</sup>, めっき浴組成の詳細については不明である。一方, Cl, S, C 等の添加剤は Cu めっき膜中に取り込まれ, 結晶粒の成長を阻害するという報告もある<sup>(26)(32)</sup>, また Cl 等の不純物の取り込み量は配線幅により変化する。

図10は微細 Cu 配線の抵抗率に及ぼすめっき材料純度の影響を示したものである<sup>(34)</sup>。配線溝への Cu の埋め込み性向上のため, これらのめっき浴に Accelerator, Suppressor および Leveler を添加してある。めっき材料としては, 従来プロセスとしてアノードが含 P4N(公称), 硫酸銅が 3N(公称)を用い, 高純度プロセスの場合, アノードが 9N(公称), 硫酸銅が 6N(公称)を用いている。配線幅が 200 nm と大きい場合, 両プロセスで作製した Cu 配線の抵抗率の差は少ない(4%程度)。

これは, 図11に示す両プロセスで作製した Cu 膜の EBSD 像における粒径および配向性の差に対応していると考えられる。すなわち, 幅 200 nm 以上の Cu 配線の抵抗率の配線幅依存性は認められず, Cu 膜の粒径および配向性からその抵抗率のプロセス依存性を推定できる<sup>(29)</sup>。配線幅の減少に伴い, 高純度プロセス Cu 配線の抵抗率と従来プロセス Cu 配線の抵抗率の差は大きくなり, 配線幅 50 nm における両プロセスの差は 21%に達することがわかる。従来および高純度プロセスで作製した幅 50 nm の Cu 配線の配線長さ方向の断面 TEM 像観察した結果, 前者に比べ後者の結晶粒径は大きいことが分かった。一般に, ナノレベルの結晶粒径分布は式(1)で示す対数正規分布にフィットすることが報告されている<sup>(35)(36)</sup>。

$$f(D, \mu, \sigma) = \frac{1}{\sqrt{2\pi D \ln \sigma}} \exp \left[ -\frac{(\ln D - \ln \mu)^2}{2(\ln \sigma)^2} \right] \quad (1)$$

ここで,  $D$  は結晶粒径,  $\mu$  は中央値,  $\sigma$  は粒径の標準偏差に関連するパラメータである。

図12は, 幅 50 nm Cu 配線の長さ方向の TEM 像から得た結晶粒径を対数正規分布で示したものである。従来プロセスおよび高純度プロセス Cu 配線の結晶粒径の中央値はそれぞ

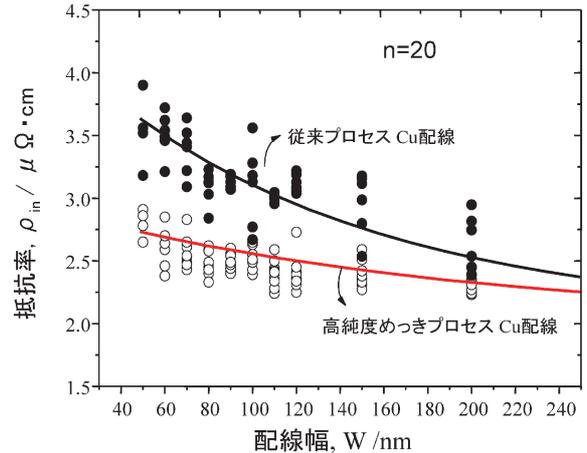


図10 Cu 配線の抵抗率に及ぼす配線幅の影響。

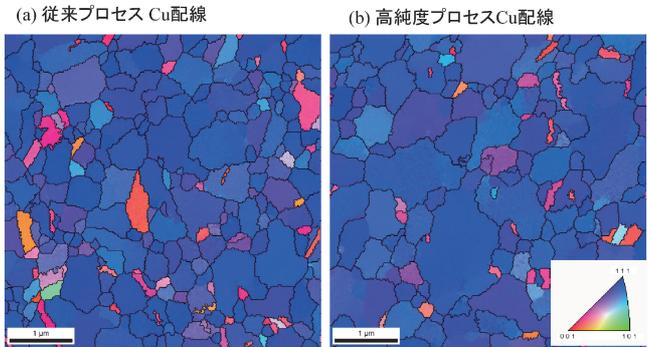


図11 従来および高純度プロセスで作製した Cu 膜の EBSD。

れ 66 nm および 71 nm と差は比較的小さい(7%)。このように, Cu 膜の場合と異なり, 微細配線における結晶粒径の差が小さいのは粒成長が溝の側壁等からの拘束を受けやすいためであると考えられる。しかし, Cu の電子の平均自由行程である 40 nm 以下の結晶粒の存在比を比較すると前者では, 後者の約10倍も多いことが分かる。これは, 粒径のばらつきが高純度プロセスでは少ないことに対応している。以上のように 40 nm 以下の結晶粒径の差が 50 nm 配線幅における両者の抵抗率の差になっていると考えられる。

次に, アノードと硫酸銅とでどちらの純度が, 抵抗率低減効果が大きいかを明らかにすることは実用上極めて重要であると考えられる。図13は, 50 nm Cu 配線の抵抗率に及ぼすアノードおよび硫酸銅純度の影響を示したものである<sup>(37)</sup>。

(a)が 3N の硫酸銅と 4NP のアノード, (b)が 6N の硫酸銅と 4NP のアノード, (c)が 6N の硫酸銅と 9N のアノードを用いた場合の抵抗率をそれぞれ示している。(a)と(b)との抵抗率の差は17%であるが, (b)と(c)との差はわずか4%しかないことが分かる。この結果は, 硫酸銅を高純度化することが Cu 配線の低抵抗率化に繋がることを示唆している。

そこで市販の高純度銅(6N)を高純度硫酸に溶解した後, 分別再結晶を行って超高純度硫酸銅を作製した。さらに, 6NCu を, 水素プラズマ溶解して Na, Mg, Al, Cr, K, Ca

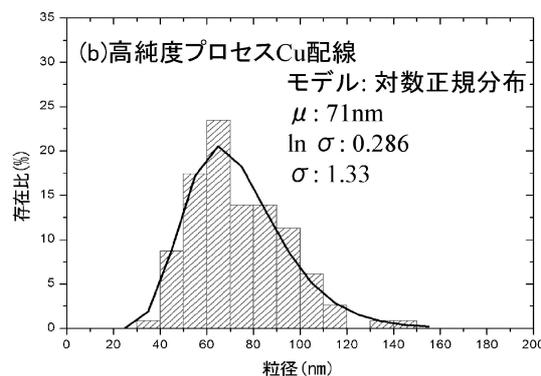
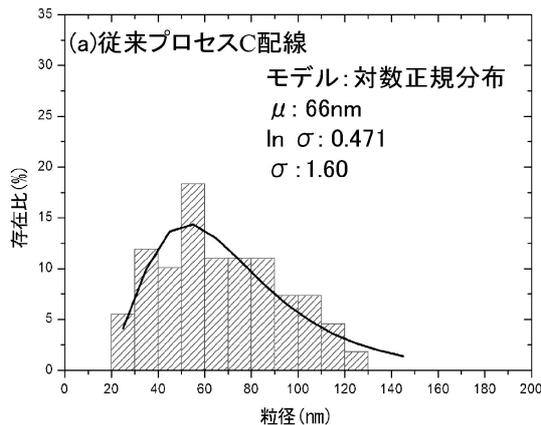


図12 結晶粒径の分布.

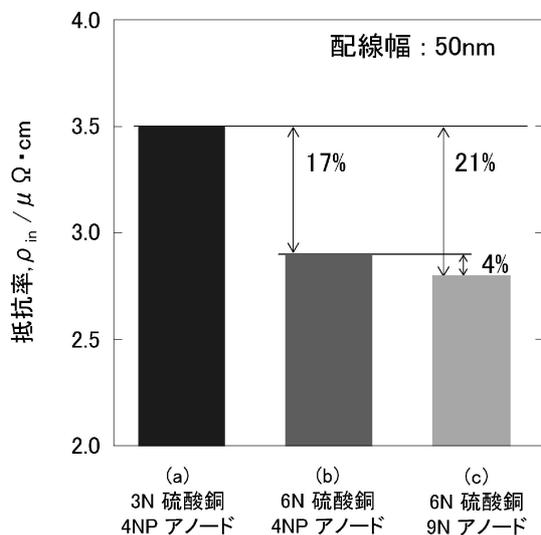


図13 Cu配線抵抗率のめっき材料純度依存性.

およびAs等の不純物を除去した超高純度アノード(直径200mm×厚さ5mm)も作製した. 分別再結晶法および水素プラズマ溶解により, 純度は1~2桁向上すると考えられる. これを超高純度めっき材料と定義した. 超高純度アノードの場合, めっき時の異物発生抑制を目的とした陽極ブラックフィルム形成<sup>(38)</sup>のためにリンを500ppm添加してあるが, めっき膜中へのリンの混入は無いことを確認している.

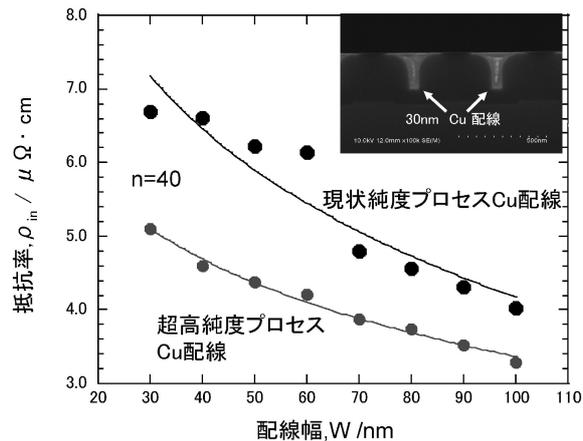


図14 Cu配線の抵抗率に及ぼす配線幅の影響.

上記超高純度めっき材料を用いて配線幅30~100nm, 配線高さ200nm, 配線長さ100μmの配線溝を形成した8インチウエハにCuめっきを行った. 配線溝へのCuの埋め込み性向上のため, 硫酸銅めっき浴にAccelerator, SuppressorおよびLevelerを添加してある. 水素気流中アニール(573K, 30min)し, CMPを行ってCu配線(超高純度プロセスCu配線)を形成した. 比較のために現状の最高純度めっき材料(6Nアノード, 6N硫酸銅)を用いて同様にCu配線(現状純度プロセスCu配線)を形成した. 図14には, 超高純度プロセスおよび現状純度プロセスで作製したCu配線の抵抗率の配線幅依存性を示す<sup>(39)</sup>. 図中には超高純度プロセスで作製した幅30nmCu配線の断面SEM像を示してある. 配線の微細化とともに両者の抵抗率の差は大きくなり, 幅30nmの超高純度プロセスCu配線の抵抗率は, 現状純度品に比べ約30%低いことが分かる<sup>(39)</sup>. なお, 図14の抵抗率が図10のそれらに比べ高いのは高抵抗のTa/TaNバリアメタル(抵抗率: 100μΩ·cm)が厚いためである. また, 現状純度および超高純度プロセスCu配線の長さ方向の断面TEM観察を行い, 結晶粒径分布を調べ, 対数正規分布で表した結果, Cu結晶粒径の中央値はそれぞれ超高純度プロセスの場合が69.7nm, 現状純度プロセスのそれが48.7nmであり, 粒径の差は30%である. また, 標準偏差は, 超高純度の場合が1.27, 現状純度のそれが1.34であり, 高純度化により, 粒径の均一・大粒径化が生じる. さらに, 配線抵抗率の急激な増大を引き起こす粒径と考えられる50nm以下の結晶の存在比を比較すると, 超高純度の場合, 存在比が10%と少ないのに対し, 現状純度の場合は約55%と大きいことが分かった. 以上のようにめっき材料, 特に硫酸銅溶液の高純度化により, Cu配線中の均一・大粒径化が可能になり, 配線抵抗率の大幅な低減が可能になることが分かった.

## (2) 添加剤フリーめっきにより形成したCu配線の抵抗率

添加剤を使用しない場合の微細溝内部へのCuめっきは, パルスめっきで検討した. すなわち, 溝中のCuイオンはめっきにより欠乏するため, 電圧を印加しつつけても溝上部で

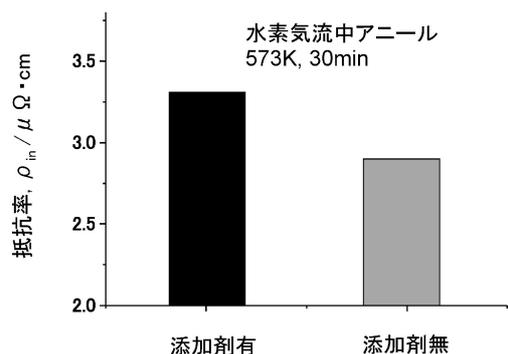


図15 Cu配線の抵抗率に及ぼす添加剤の影響。

はめっき膜が形成されるが、溝内部ではイオンが枯渇し、めっき膜は形成されないためポイドが発生する。再びCuイオンが溝中に拡散するまでの時間が必要なため、パルスめっきが不可欠である。採用した電流波形は、ピーク電流密度：200 mA/cm<sup>2</sup>、電流印加時間：3 ms、休止時間：100 msである。図15は、高純度めっき材料(公称純度6NCuを水素プラズマ溶解し1~2桁高純度化したアノード、公称純度6N硫酸銅)を用い、添加剤を使用し作製した幅100 nmCu配線と添加剤フリーのCu配線の抵抗率を評価した結果である<sup>(40)</sup>。添加剤を使用しない場合のめっき条件は、ピーク電流密度：200 mA/cm<sup>2</sup>、電流印加時間：3 ms、休止時間：100 msであり、これらを繰り返してめっきを行った。一方、添加剤を使用した場合にはDCめっきを行った。電流密度は5 mA/cm<sup>2</sup>である。

両方のめっき膜は水素気流中において573 K、30 minの条件下でアニールを行った後、CMP処理をして配線を形成した。添加剤無しのCu配線の抵抗率は添加剤ありのCu配線よりも抵抗率が約13%低いことが分かる。配線長さ方向の結晶粒径の中央値は前者の場合で86 nm、後者の場合で76 nmであり、添加剤フリーめっきにより結晶粒径が粗大化することが分かった。

## 7. 添加剤フリーめっきと高速アニールの組み合わせによるCu配線の低抵抗率化の検討

前節で述べたように、添加剤フリーめっきによりCu配線の結晶粒径が粗大化することが分かった。このことは、結晶粒界に存在する不純物が添加剤フリーめっきで作製したCu配線には少ないことを示唆している。ナノ結晶の結晶粒界に不純物が存在すると粒界エネルギーが低くなるかあるいはピン止め効果によりアニール時の結晶粒の粗大化を抑制することが報告されている<sup>(41)</sup>。従って結晶粒界により不純物の少ない添加剤フリーのめっき膜を高速アニールすることにより粗大化をより促進できると期待される。

図16は高純度めっき材料(公称純度6NCuを水素プラズマ溶解し1~2桁高純度化したアノード、公称純度6N硫酸銅)を用い添加剤フリーめっきで作製し、高速アニール(加熱速度：1.7 K/s、加熱温度：573 K、保持時間：10 min)した幅

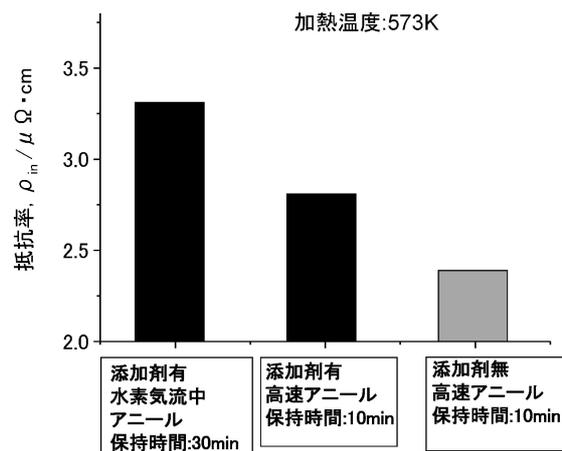


図16 Cu配線の抵抗率に及ぼす高速アニールと添加剤フリーめっきの効果。

100 nmCu配線の抵抗率を同じめっき材料を用い添加剤を使用してめっき後、高速アニールおよび水素気流中アニールして作製した幅100 nmCu配線の抵抗率と比較した結果<sup>(40)</sup>である。添加剤+水素気流中アニールで作製したCu配線よりも添加剤+高速アニールで作製したCu配線の抵抗率は15%低く、さらに添加剤フリー+高速アニールで作製したCu配線はさらに14%程度低くなることがわかる。結晶粒径はそれぞれ、76 nm、84 nm、および101 nmと粗大化することも分かった。

## 8. 今後の研究課題

(1) 添加剤フリーあるいは添加剤レスの条件下における幅50 nmより微細な配線溝中へのポイドフリーCu配線形成技術の確立、(2) 結晶粒界における不純物元素の特定とこれを除去した超高純度めっき材料の作製およびこれらを用いたCu配線形成と抵抗率の評価、(3) 均一・粗大粒を有するCu配線の耐エレクトロマイグレーション(EM)性の評価および現状プロセスCu配線との比較が挙げられる。また、Ta/TaNバリアメタルは抵抗率が高く(100 μΩ·cm)、より抵抗率の低いバリア材料の開発もさらにCu配線の抵抗率を低減するために不可欠である。

## 9. まとめ

Cu配線中の不純物を少なくするためのめっき材料の高純度化、添加剤フリーめっき技術および結晶粒界エネルギーを粒成長の駆動力として有効利用するための高速アニール技術等により従来よりも約30%低抵抗率を有するCu配線形成プロセス技術を開発した。本プロセスを実用化するためには、耐EM性も高いことを示す必要がある。

本研究に際し、ご指導およびご協力を頂きました東北大学

多元物質材料研究所の三村耕司准教授，打越雅仁助教，物質・材料研究機構の木村 隆博士，石川信博博士，および茨城大学 篠嶋 妥教授，田代 優講師，滑川 隆非常勤研究員，伊藤雅彦博士，K. P. Khoo 博士，株式会社 ボンゾー長野隆洋博士ならびに日立協和エンジニアリング株式会社 門田裕行博士に感謝いたします。本研究は科学研究補助金基盤S(20226014)および基盤A(17206071)ならびにJST 育成研究により行われた。

## 文 献

(1) K. Hinode, Y. Hanada, K. Takeda and S. Kondo: Jpn. J. Appl. Phys., **40**(2001), L1097.  
 (2) W. Steinhögel, G. Schindler, G. Steinsberger and M. Engelhardt: Phys. Rev., **B66**(2002), 075414.  
 (3) W. Wu, S. H. Brongersma, M. Van Hove and K. Maex: Appl. Phys. Lett., **84**(2004), 2838.  
 (4) The International Technology Roadmap for Semiconductors (ITRS), 2007 edition, 4 interconnect.  
 (5) K. P. Khoo, S. Tashiro and J. Onuki: Mater. Trans., **51**(2010), 1183-1187.  
 (6) E. H. Sondheimer: Adv. Phys., **50**(2001), 499-537.  
 (7) A. F. Mayadas and M. Shatzkes: Phys. Rev., **B1**(1970), 1382-1389.  
 (8) P. Gregory, A. J. Bangay and T. L. Bird: METALLOGIA, (1965), 207-214.  
 (9) J. Koike and M. Wada: Appl. Phys. Lett., **87**(2005), 041911.  
 (10) 伊藤和博，着本 亨，村上正紀：金属，**77**(2007)，854-859.  
 (11) 森 健壹：金属，**77**(2007)，872-878.  
 (12) K. Maekawa, K. Mori, K. Kobayashi, N. Kumar, S. Chu, S. Chen, G. Lai, D. Diehl and M. Yoneda: Proc.of AMC, (2004), 221.  
 (13) Y. Chonan, J. Onuki, T. Nagano, K. P. Khoo, T. Aoyama, H. Akahoshi, T. Haba and T. Saitou: Jpn. J. Appl. Phys., **45**(2006), 8004-8607.  
 (14) K. P. Khoo, J. Onuki, T. Nagano, Y. Chonan, H. Akahoshi, T. Tobita, T. Saitou and K. Ishikawa: Jpn. J. Appl. Phys., **46**(2007), 4070-4073.  
 (15) R. H. Graham, G. B. Alers, T. Mountsier, N. Shamma, S. Dhuey, S. Cabrini, R. H. Geiss, D. T. Read and S. Peddet: Appl. Phys. Lett., **96**(2010), 042116.  
 (16) W. Steinhögl, G. Schindler, G. Steinlesberger, M. Traving and M. Engelhardt: J. Appl. Phys., **97**(2005), 023706.  
 (17) 大貫 仁：半導体材料工学，内田老鶴圃，(2004)，143-144.  
 (18) K. P. Khoo, J. Onuki, T. Nagano, Y. Chonan, H. Akahoshi, T. Tobita, M. Chiba, T. Saito and K. Ishikawa: Jpn. J. Appl. Phys., **45**(2006), L852-853.  
 (19) K. P. Khoo, J. Onuki, T. Nagano, S. Tashiro, Y. Chonan, H. Akahoshi, T. Haba, T. Tobita, M. Chiba and K. Ishikawa: Mater. Trans., **48**(2007), 2703-2707.  
 (20) K. P. Khoo and J. Onuki: Thin Solid Films, **518**(2010), 3413-3416.  
 (21) K. P. Khoo, J. Onuki, T. Nagano, Y. Chonan, H. Akahoshi, T. Haba, T. Tobita, M. Chiba and K. Ishikawa: Jpn. J. Appl. Phys., **46**(2007), 4070-4073.  
 (22) H. Lee and S. Simon Wong: J. Appl. Phys., **93**(2003), 3796-

3804.  
 (23) M. Moriyama, K. Matsunaga, T. Morita, S. Tsukimoto and M. Murakami: Mat. Trans., **45**(2004), 3033-3038.  
 (24) C. Lingk and M. E. Gross: J. Appl. Phys., **84**(1998), 5547-5553.  
 (25) 実用金属材料分野ナノメタル技術開発成果報告書(平成14年度)(社団法人金属材料開発センター)，村上正紀；ナノ薄膜組織制御技術，579-615.  
 (26) J. H. Sukamoto and J. D. Reid: Electrochemical Society Proceedings Volume, (2004-17), 96-107.  
 (27) J. Kageyama, Y. Sasajima, M. Ichimura and J. Onuki: Trans. Mater. Research Soc. of Japan, **33**(2008), 237-239.  
 (28) Y. Sasajima, J. Kageyama, K. P. Khoo and J. Onuki: Thin Solid Films, **518**(2010), 6883-6890.  
 (29) J. Onuki, K. P. Khoo, Y. Sasajima, Y. Chonan and T. Kimura: J. Appl. Phys., **108**(2010), 044302-1-044302-7.  
 (30) J. Onuki, K. Tamahashi, T. Namekawa and Y. Sasajima: Mater. Trans., **51**(2010), 1715-1717.  
 (31) M. Stangl, J. Acker, S. Oswald, M. Uhlemann, T. Gemming, S. Baunack and K. Wetzig: Microelectronic Engineering, **84**(2007), 54-59.  
 (32) M. Hasegawa, Y. Nonaka, Y. Negishi, Y. Okinaka and T. Osaka: J. Electrochem. Soc., **153**(2006), C117-C120.  
 (33) 松田光由，吉原左知雄，土橋 誠：表面技術，**59**(2008)，696-700.  
 (34) J. Onuki, S. Tashiro, K. P. Khoo, N. Ishikawa, T. Kimura, Y. Chonan and H. Akahoshi: J. Electrochem. Soc., **157**(2010)，H857-H862.  
 (35) H. Natter and R. Hempelmann: J. Phys. Chem., **100**(1996)，19525.  
 (36) C. E. KRILL and R. BRIRRINGER: Phil. Mag A, **77**(1998).  
 (37) 田代 優，Khyoupin Khoo，大貫 仁：日本金属学会誌，**75**(2011)，223-228.  
 (38) 横井昌幸：めっき技術，**7**(1994)，23-38.  
 (39) 田代 優，門田裕行，伊藤雅彦，打越雅仁，三村耕司，一色 実，大貫 仁：日本金属学会誌，**75**(2011)，386-391.  
 (40) J. Onuki, K. Tamahashi, T. Namekawa and Y. Sasajima: Mater. Trans., **52**(2011)，1818-1823.  
 (41) J. C. M. Li: Microstructure and Properties of Materials, World Scientific, (2009)，372-373.

★★★★★★★★★★★★★★★★★★★★★★★★★★★★★★★★★★★★★★★★★★★★★★★★★★★★★★★★★★★★

大貫 仁  
 1974年3月 東北大学大学院工学研究科修士課程修了  
 1974年4月 株式会社日立製作所日立研究所入所  
 1999年4月 秋田県立大学システム科学技術学部  
 電子情報システム学科教授  
 2003年4月 茨城大学工学部教授 現在に至る  
 専門分野：電子・情報材料学  
 ◎ULSIの配線・実装技術の研究開発，パワー半導体実装技術の研究開発，磁気記録薄膜の構造解析に従事。

★★★★★★★★★★★★★★★★★★★★★★★★★★★★★★★★★★★★★★★★★★★★★★★★★★★★★★★★★★★★



大貫 仁                      玉橋邦裕                      一色 実