

低誘電率($low-k$)材料の EELS による局所構造解析

株式会社東レリサーチセンター 大塚 祐二 川崎 直彦 清水 夕美子
株式会社半導体先端テクノロジーズ 小川 真一

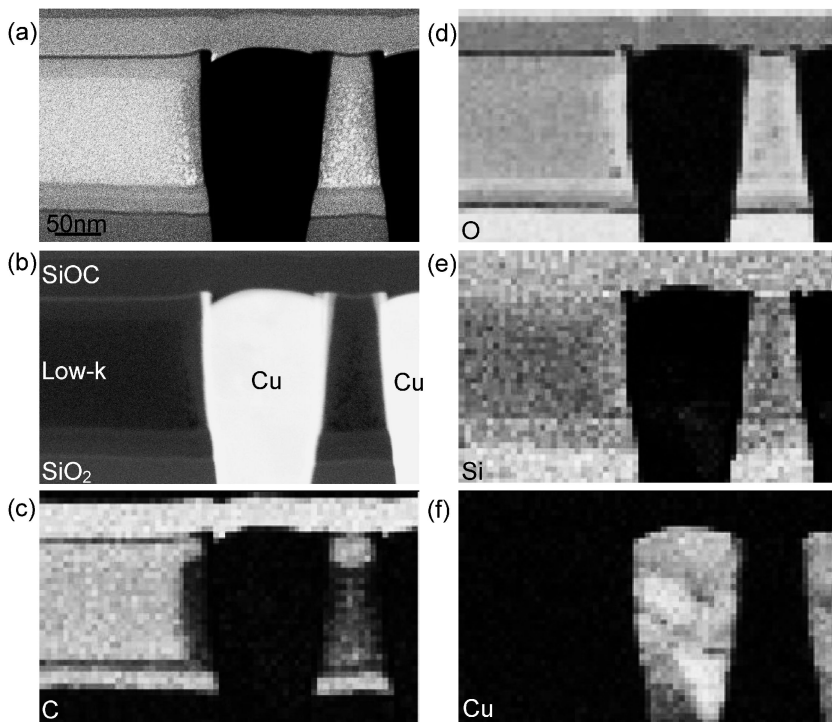


Fig. 1 Low- k 材料を含む配線断面パターン of EELS マッピング ((a) BF-STEM, (b) HAADF-STEM, (c) C-K マップ, (d) O-K マップ, (e) Si-L マップ, (f) Cu-L マップ).

半導体デバイスの微細化にともない、信号遅延の妨げとなる配線間容量を下げる目的で、誘電率の低い ($low-k$) 材料を配線間、層間絶縁膜に用いる必要がある⁽¹⁾。 $low-k$ 材料には MSQ (Methyl-Silsesquixane) など、主に SiO_x 骨格を有する材料が用いられているが、ドライエッチ、洗浄、メタリゼーションなど配線形成プロセスにおいて $low-k$ 材料は容易に変質し誘電率が上昇するため、プロセス開発において変質、およびその分布を評価することが極めて重要である。配線間絶縁部の配線側壁近傍や上部、下部に形成した積層膜界面付近の組成変化については、STEM-EELS を用いた Si, O, C 等の組成分析が有効であり⁽²⁾⁽³⁾、側壁部での C 抜けなどを明確に捉えることが可能である (Fig. 1)。また配線形成プロセス中に生じた変質により膜密度にも変化が生じ、これらが絶縁電気特性や機械強度に影響をおよぼすが、低エネルギー損失領域評価 (Valence EELS: VEELS) により相対密度分布

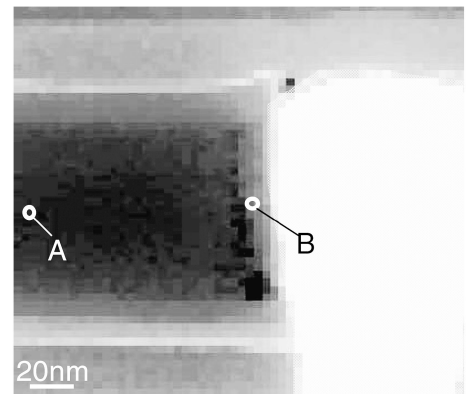


Fig. 2 配線/絶縁部の相対厚さマップ.

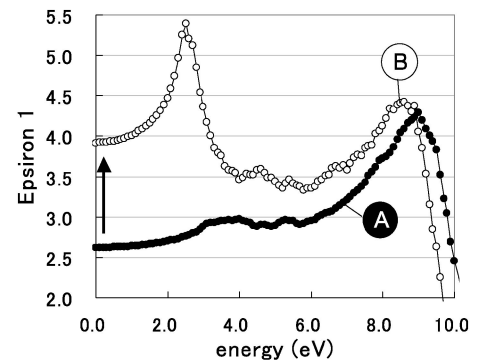


Fig. 3 配線内部(A)と側壁部(B)における誘電関数(実部)の比較.

を得ることで、組成分布だけでは見出せなかった多孔質 $low-k$ 膜の変質領域を可視化することができる (Fig. 2)⁽⁴⁾。さらに、同 VEELS からクラマースクローニッヒ解析⁽⁵⁾を実施することで、局所誘電率の相対変動を評価することが可能である⁽⁶⁾。

文 献

- (1) K. Maex *et al.*: J. Appl. Phys., **93** (2003), 8793.
- (2) O. Richard *et al.*: Microelectron. Engineering, **84** (2007), 517.
- (3) Y. Otsuka *et al.*: J. Electron Microsc., **58** (2009), 24.
- (4) Y. Otsuka *et al.*: Proc. SSDM2009, (2009).
- (5) R. F. Egerton: EELS in the Electron Microscopy, 2nd edn., Plenum, New York (1996).
- (6) M. Shimada *et al.*: Proc. IITC, (2005), 88.

(2009年7月18日受理)

Structural Analysis of Patterned $low-k$ Film by Electron Energy Loss Spectroscopy (EELS); Yuji Otsuka*, Naohiko Kawasaki*, Yumiko Shimizu*, Shinichi Ogawa** (*Toray Research Center, Ohtsu. **Semiconductor Leading Edge technologies (Selete), Tsukuba)

Keywords: $low-k$ film, EELS, VEELS, Kramers-Kronig Analysis (KKA)
TEM specimen preparation: FIB TEM utilized: JEM-21000F (200k V)
Observation condition: HAADF-STEM, EELS